

Problema 1

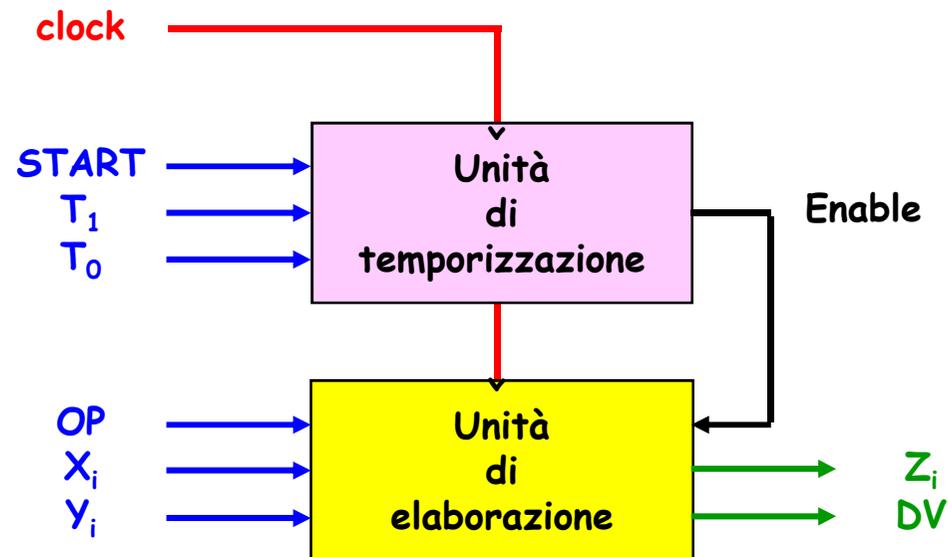
Un sistema sequenziale sincrono, caratterizzato da sei segnali di ingresso ($X_i, Y_i, START, T_1, T_0, OP$) e da due segnali di uscita (Z_i, DV), ha il compito di elaborare dati numerici del tipo "unsigned binary integer", fornendo in uscita, per ciascuna coppia di dati X, Y ricevuti in ingresso, il corrispondente valore medio $Z = (X + Y) / 2$, eventualmente arrotondato per difetto o per eccesso come nel seguito specificato. Gli n bit rappresentativi di ciascuna coppia di operandi ($\{X_{n-1}, \dots, X_1, X_0\}, \{Y_{n-1}, \dots, Y_1, Y_0\}$) e del corrispondente risultato ($\{Z_{n-1}, \dots, Z_1, Z_0\}$) sono trasferiti in ingresso al / uscita dal sistema in serie ed a partire dal bit meno significativo (X_0, Y_0 e Z_0) tramite i segnali X_i, Y_i e Z_i , rispettivamente. Il segnale $START$, attivo a livello logico 1 e di durata unitaria, identifica l'intervallo di presentazione in ingresso al sistema del primo bit (X_0, Y_0) di ciascuna coppia di operandi. Contestualmente gli altri segnali di ingresso identificano il tipo di dati che il sistema deve gestire e lo specifico processo di elaborazione che il sistema deve svolgere. Più precisamente:

$T_1 T_0 = 00$	\Rightarrow	X, Y, Z : "short unsigned integer" ($n = 16$),
$T_1 T_0 = 01$	\Rightarrow	X, Y, Z : "unsigned integer" ($n = 32$),
$T_1 T_0 = 11$	\Rightarrow	X, Y, Z : "long unsigned integer" ($n = 64$),
$OP = 0$	\Rightarrow	$Z = \lfloor (X+Y)/2 \rfloor$,
$OP = 1$	\Rightarrow	$Z = \lceil (X+Y)/2 \rceil$.

L'intervallo di generazione di ciascun risultato deve essere evidenziato dal sistema attraverso l'attivazione (valore logico 1) del segnale di uscita DV (Data Valid).

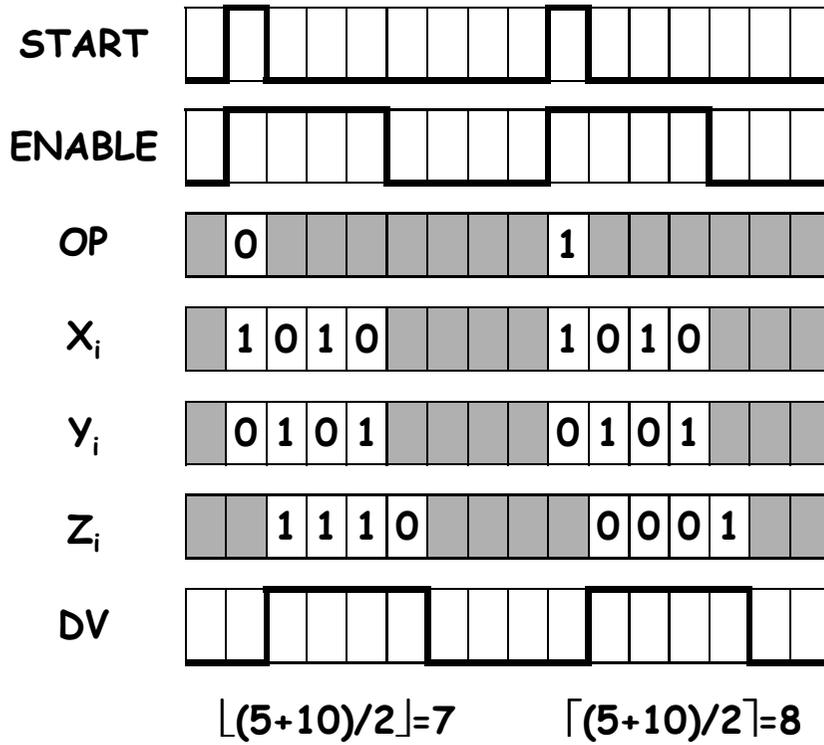
Il sistema deve essere strutturato secondo lo schema riportato in figura.

- Si esegua il progetto dell'unità di temporizzazione utilizzando i componenti ritenuti più idonei allo scopo e motivando esplicitamente le scelte operate.
- Si formalizzi il comportamento dell'unità di elaborazione in termini di automa a stati finiti.
- Si identifichino le modifiche e/o le estensioni che è necessario apportare alla soluzione individuata nell'ipotesi che il sistema debba gestire dati numerici del tipo "n-bit unsigned integer" o "n-bit signed (2's complement) integer", in dipendenza del valore (1 o 0, rispettivamente) assunto da un ulteriore segnale di ingresso U in corrispondenza dell'intervallo di attivazione del segnale START.

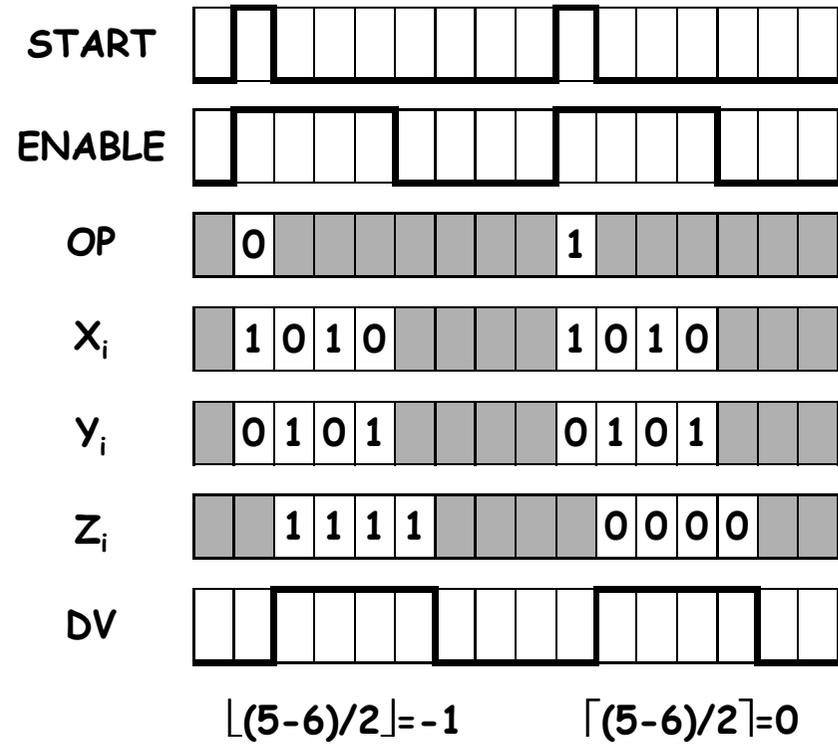


n = 4

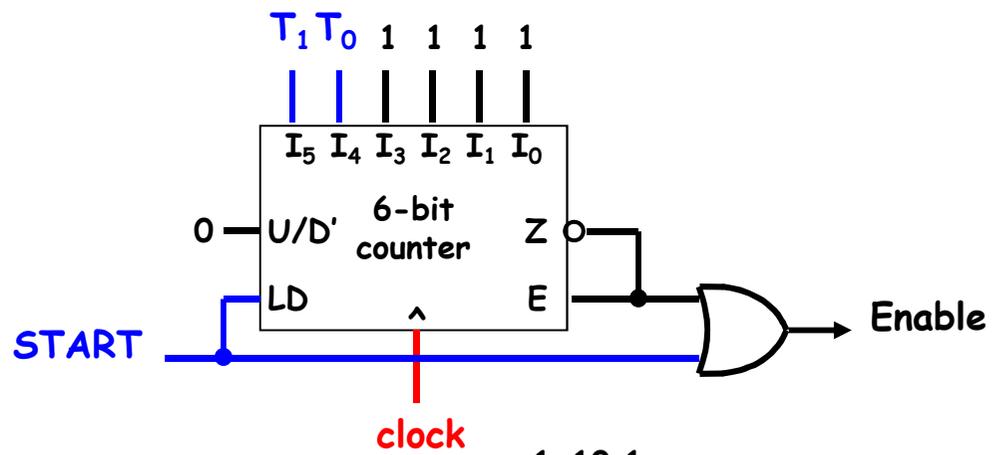
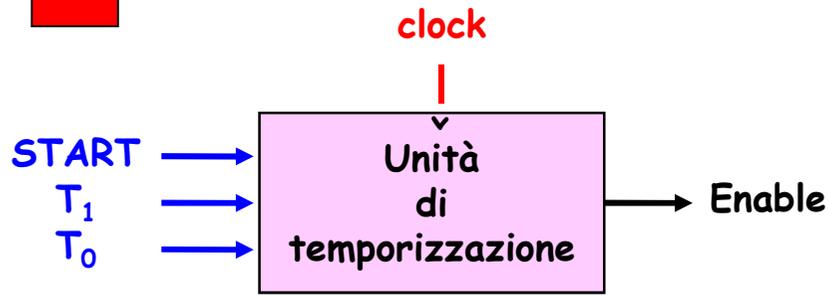
U = 1



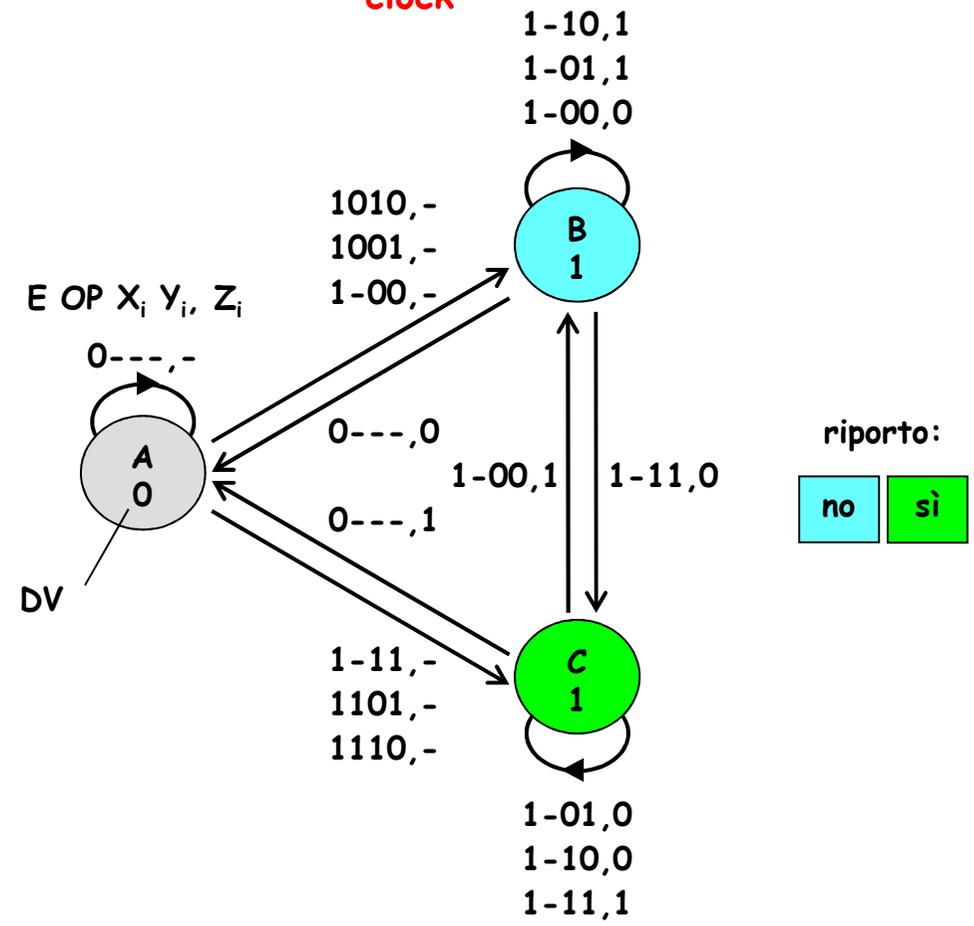
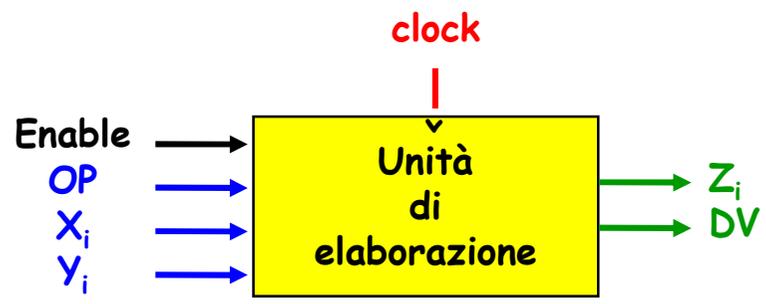
U = 0



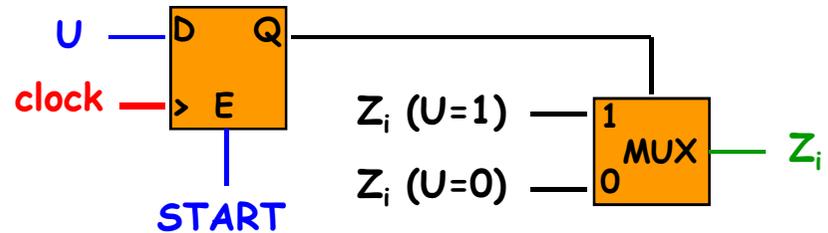
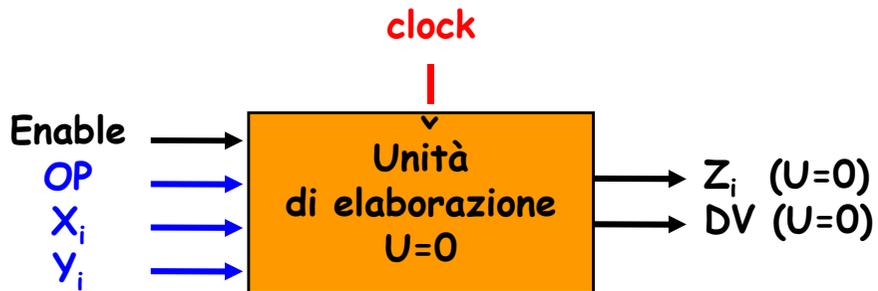
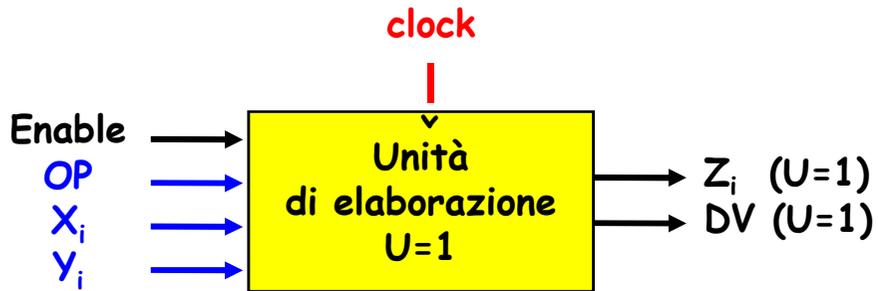
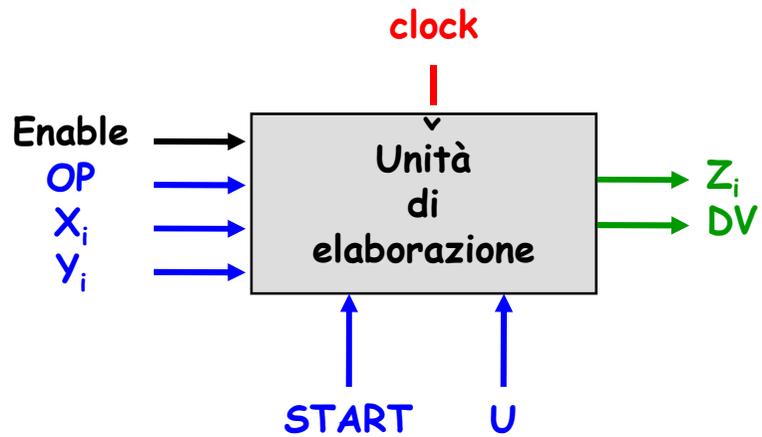
1



2

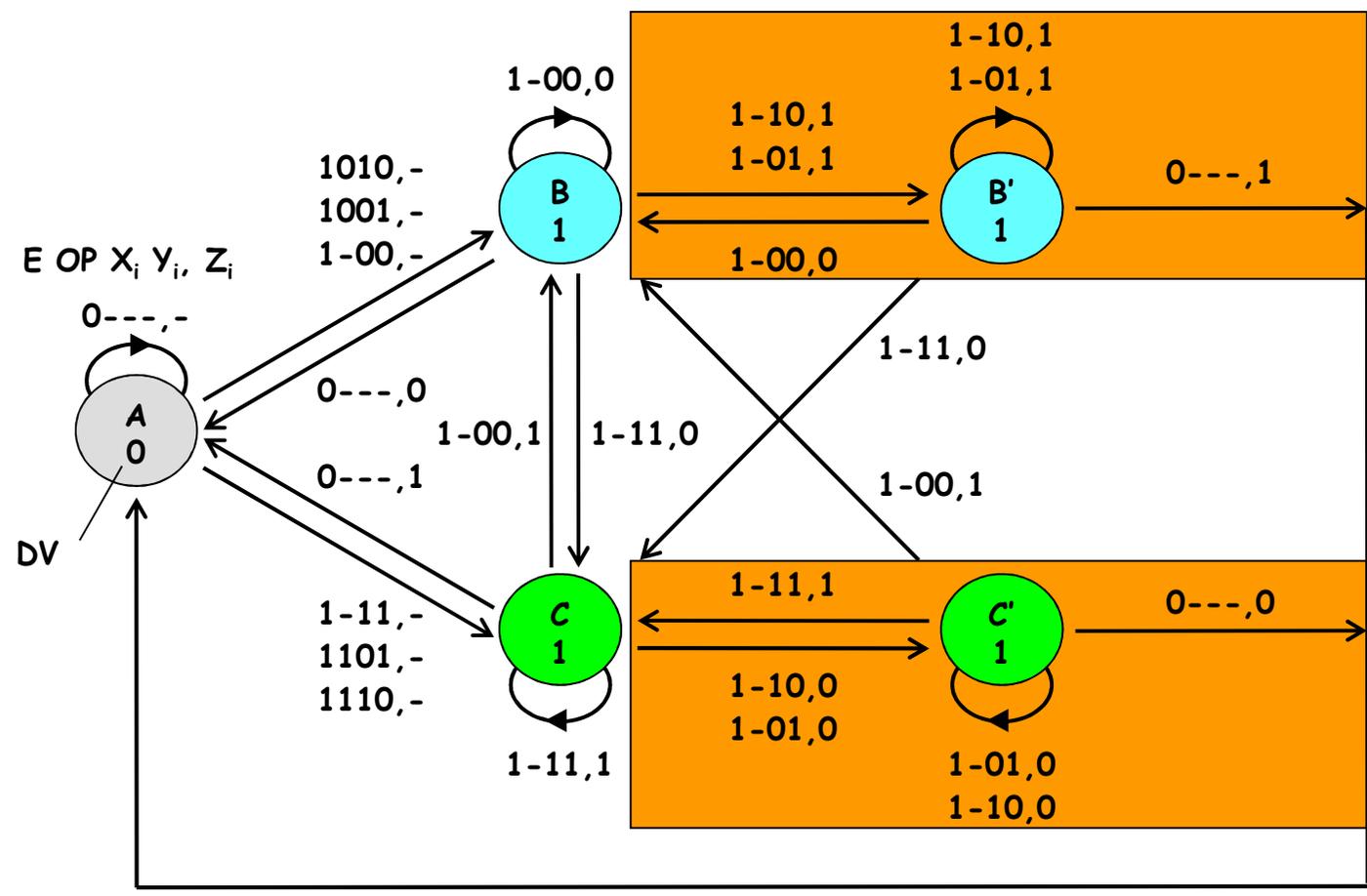
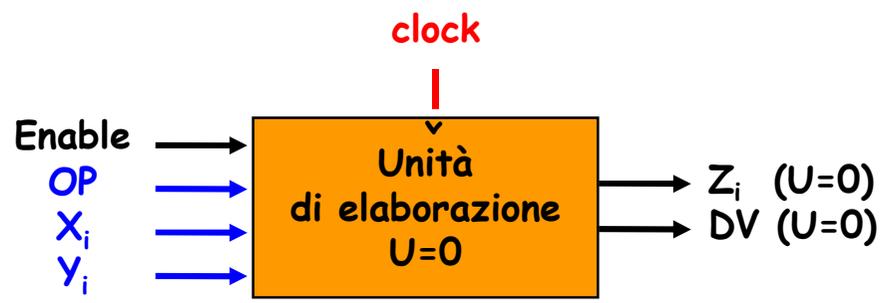


3



$$DV = DV (U=1) /* o DV (U=0) */$$

3

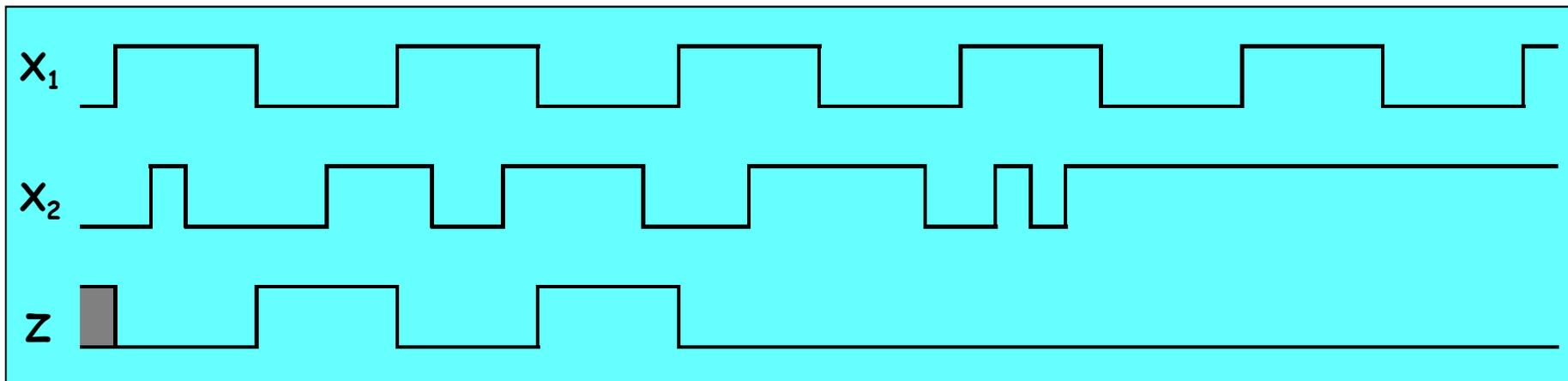


Problema 2

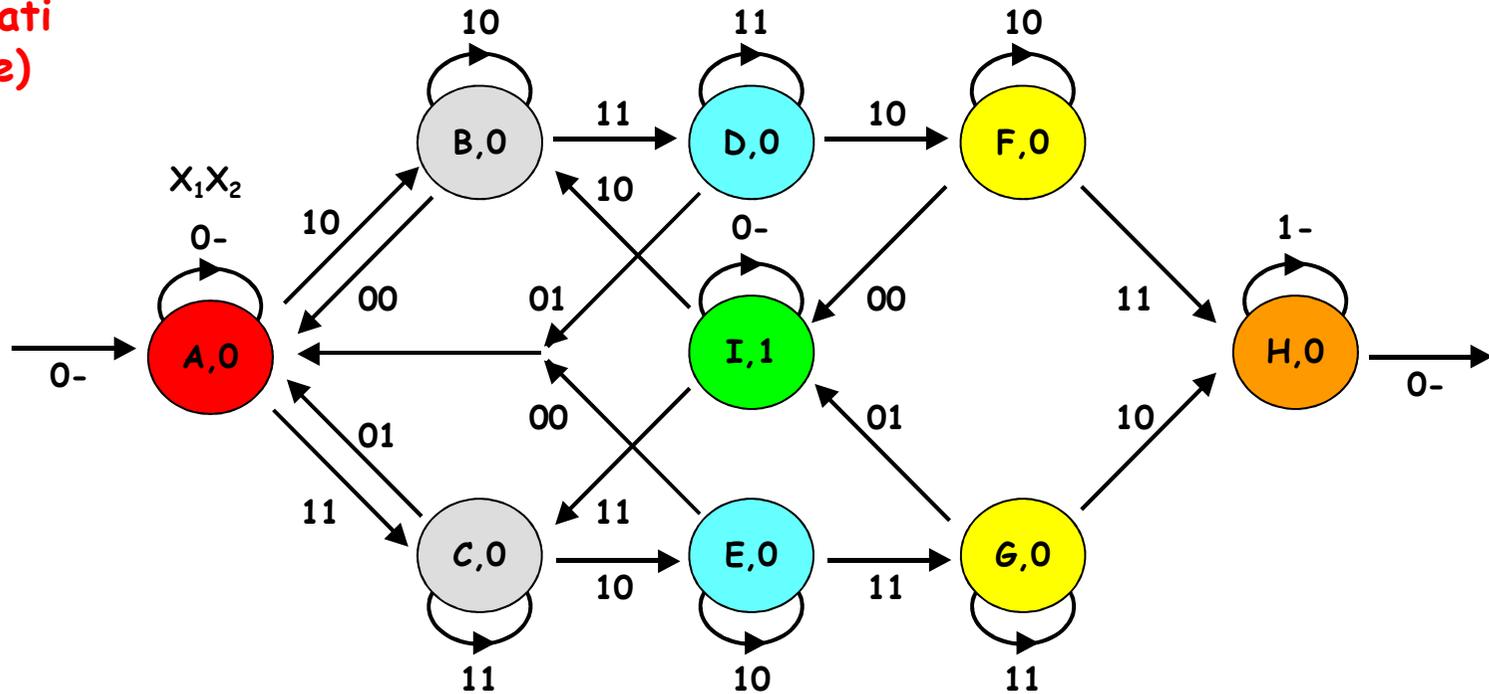
Una rete sequenziale asincrona è caratterizzata da due segnali di ingresso X_1 , X_2 e da un segnale di uscita Z . Allorché $X_1 = 1$, Z deve assumere il valore 0. Allorché $X_1 = 0$, Z deve assumere il valore 1 se e soltanto se X_2 ha presentato, non necessariamente nell'ordine, 1 fronte di salita e 1 fronte di discesa nel precedente intervallo di attivazione del segnale X_1 .

Nell'ipotesi che i segnali X_1 e X_2 non cambino mai di valore contemporaneamente, si identifichi:

- il grafo degli stati della rete;
- la corrispondente tabella di flusso in forma minima;
- una tabella delle transizioni priva di corse critiche.



**Grafo degli stati
(non riducibile)**



In alternativa,
 automa primitivo: 12 stati
 A', A'', B, C, D, E, F, G, H', H'', I', I''
 riduzione
 automa minimo: 8 stati
 {A'B}, {A''C}, {D}, {E}, {F}, {G}, {H}, {I}

Mappa di codifica

		Y ₃ Y ₄			
		00	01	11	10
Y ₁ Y ₂	00	A	B		E
	01	C	I	G	
	11		F	H	
	10		D		

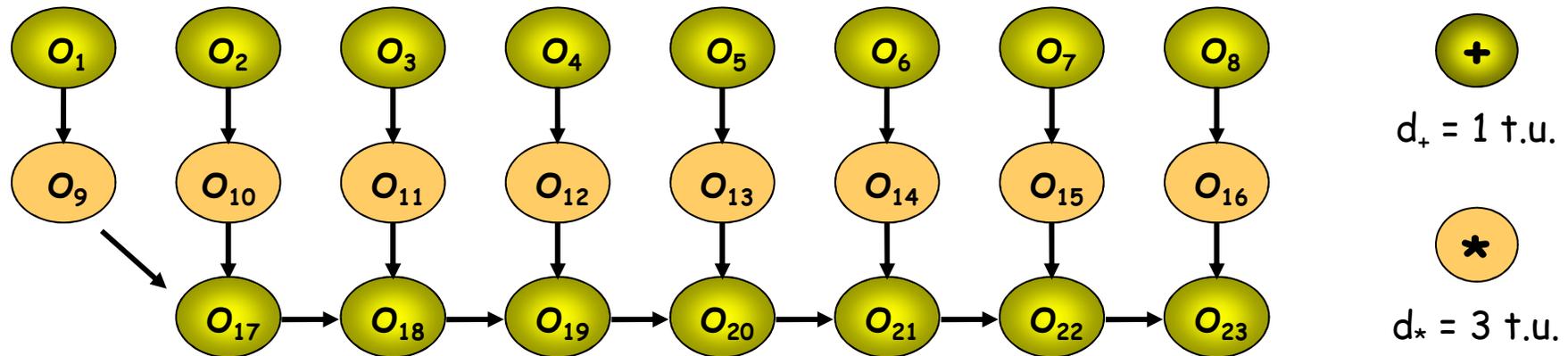
4 transizioni multiple

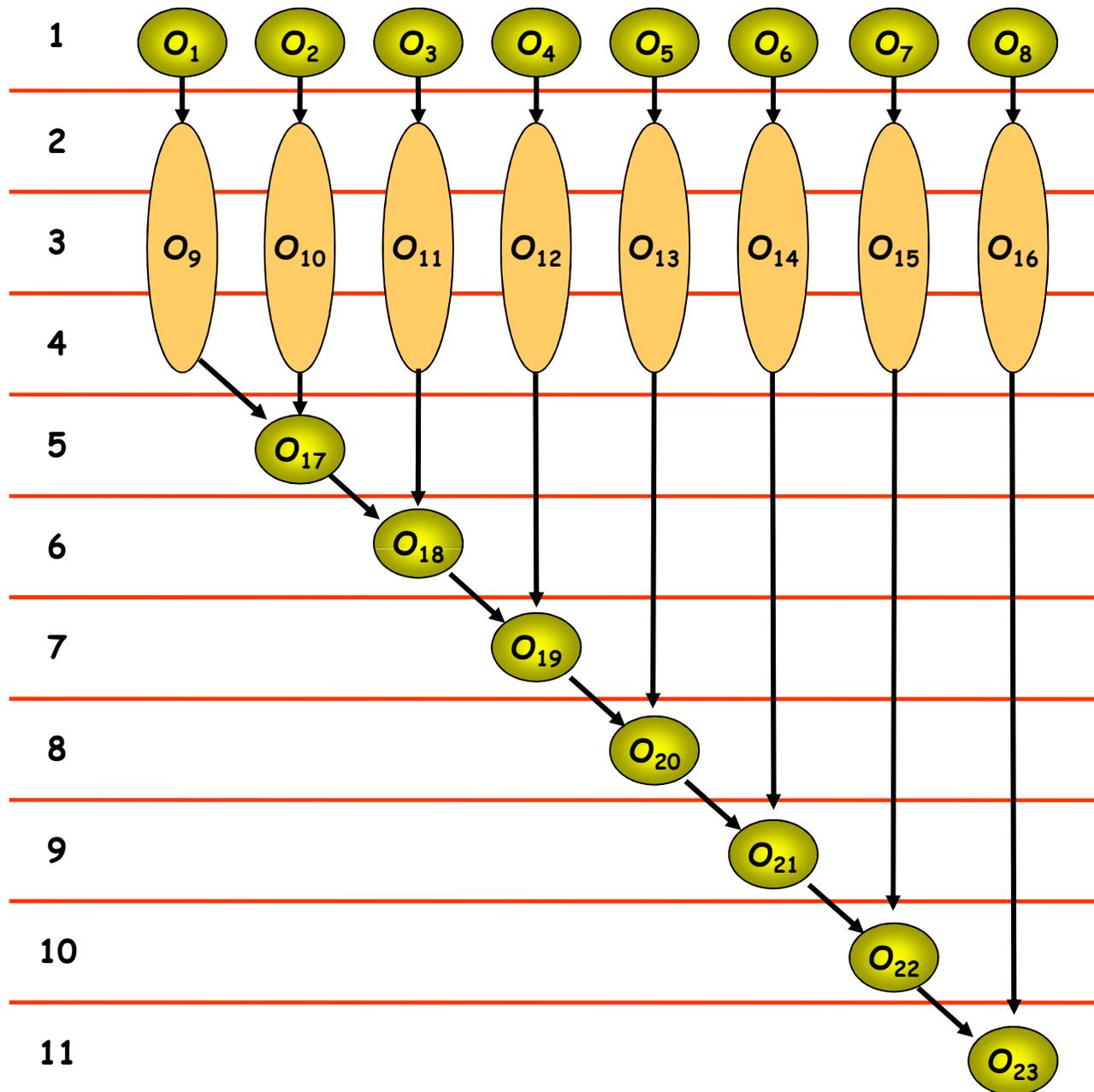
ecc.

Problema 3

Con riferimento al "Sequencing Graph" riportato in figura, si identifichi:

- la latenza derivante dall'applicazione dell'algorithm "ASAP", nonché il corrispondente numero di risorse richieste per ciascuna tipologia ($*_{ASAP}, +_{ASAP}$);
- il numero di risorse derivante dall'applicazione dell'algorithm "ALAP" ($*_{ALAP}, +_{ALAP}$), a parità di latenza;
- la latenza minima derivante dall'applicazione dell'algorithm "Static List Scheduling" (SLS), nell'ipotesi che il vincolo sulle risorse sia $*_{SLS} = \min \{ *_{ASAP}, *_{ALAP} \} / 2, +_{SLS} = \min \{ +_{ASAP}, +_{ALAP} \}$.



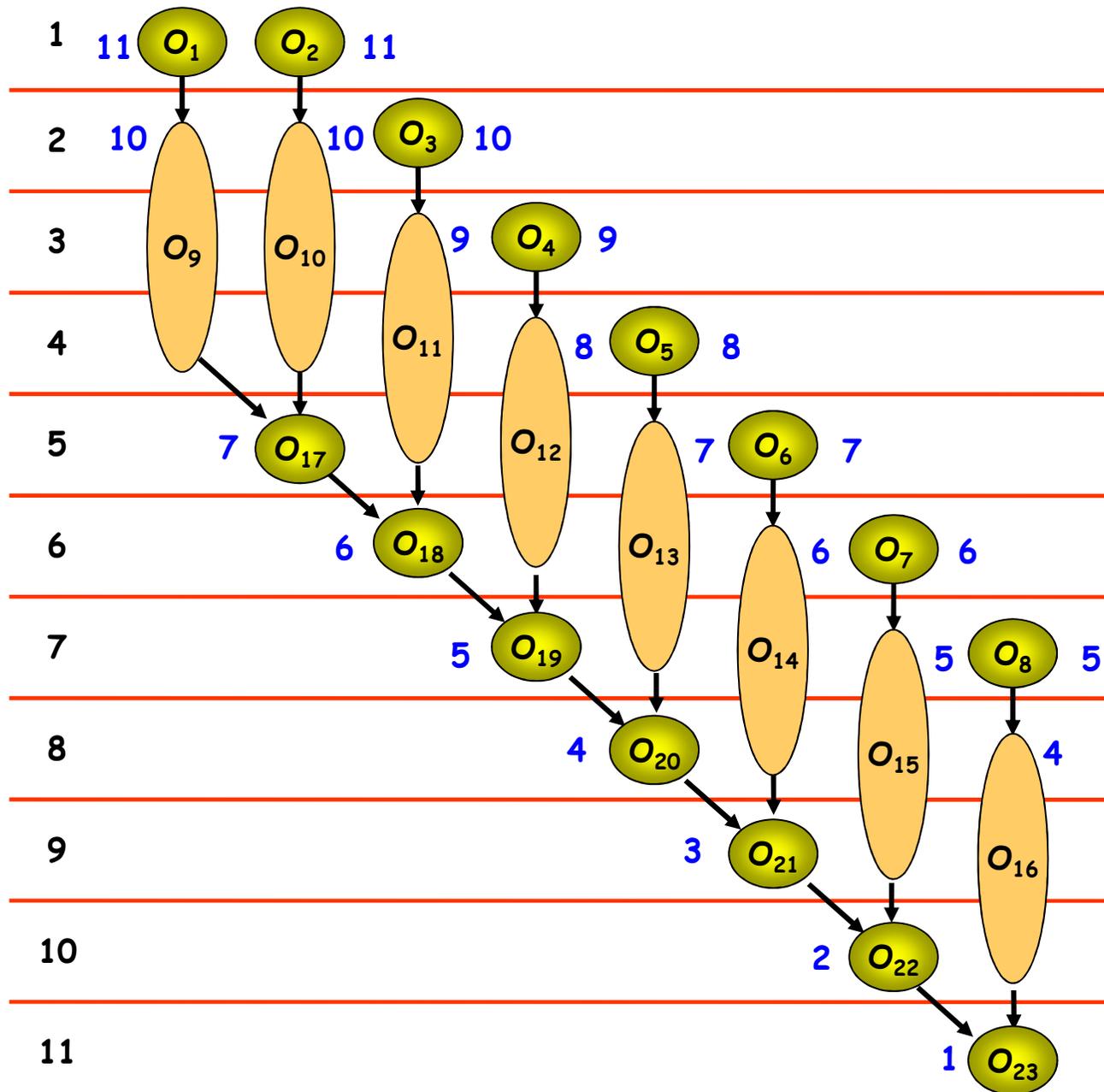


SSG_{ASAP}

$\lambda_{\min} = 11 \text{ t.u.}$

$N_* = 8$

$N_+ = 8$



SSG_{ALAP}

$\lambda_{\min} = 11$ t.u.

$N_* = 4$

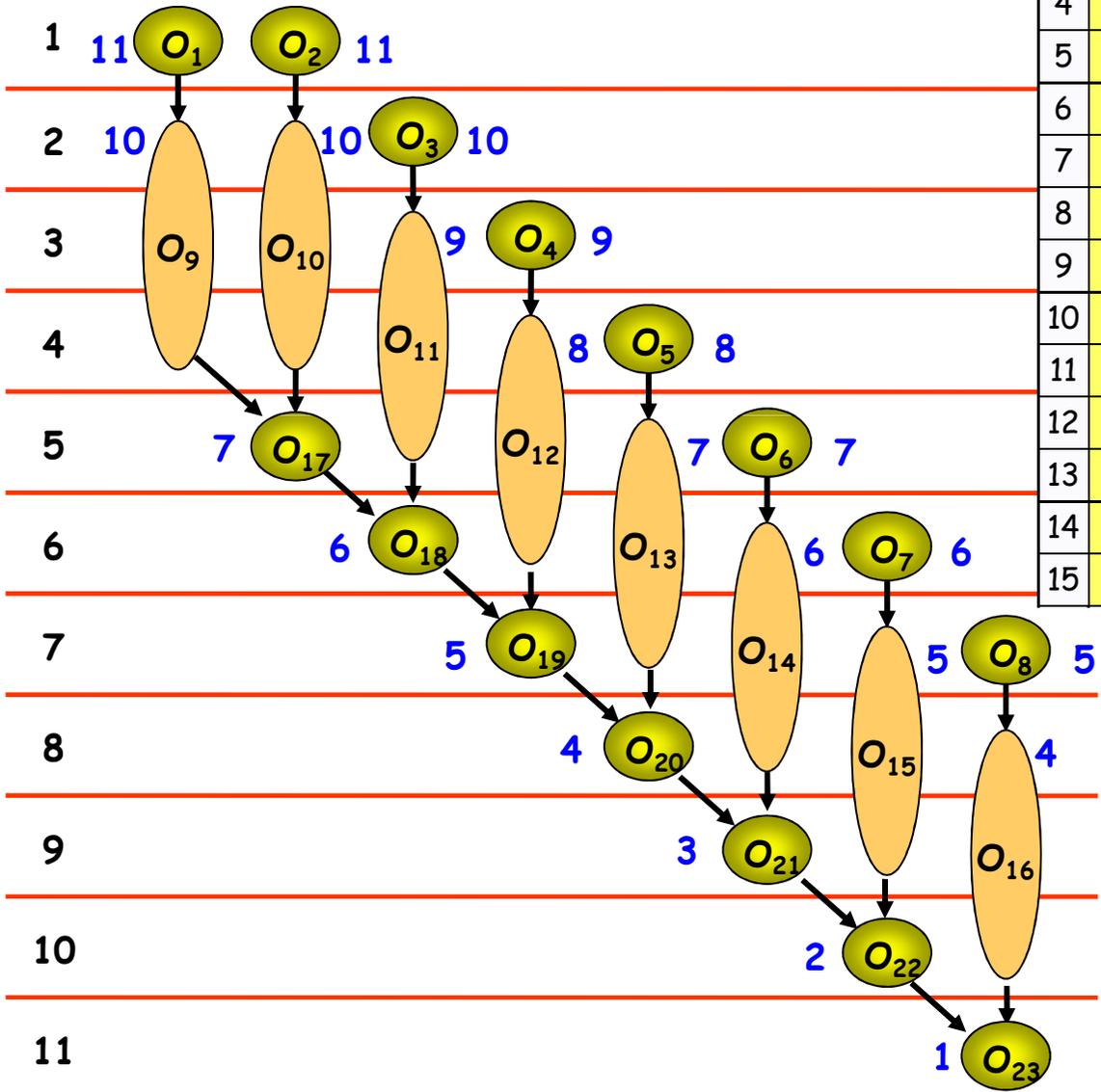
$N_+ = 2$

	O_1	O_2	O_3	O_4	O_5	O_6	O_7	O_8	O_9	O_{10}	O_{11}	O_{12}	O_{13}	O_{14}	O_{15}	O_{16}	O_{17}	O_{18}	O_{19}	O_{20}	O_{21}	O_{22}	O_{23}
p_i	11	11	10	9	8	7	6	5	10	10	9	8	7	6	5	4	7	6	5	4	3	2	1

SLS

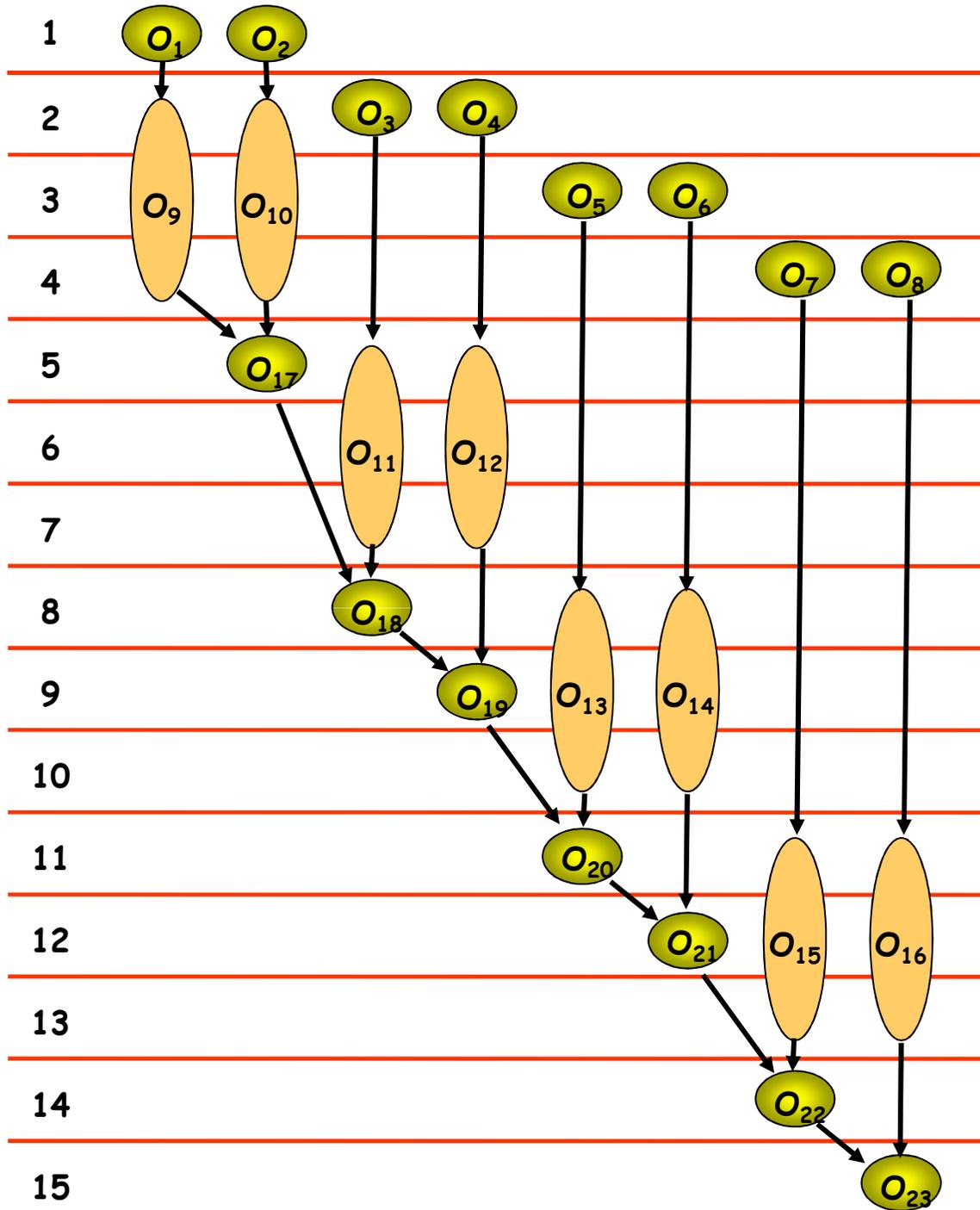
$N_* = 2$

$N_+ = 2$



1	O ₁ , O ₂ , O ₃ , O ₄ , O ₅ , O ₆ , O ₇ , O ₈	-	O ₁ , O ₂
2	O ₃ , O ₄ , O ₅ , O ₆ , O ₇ , O ₈ , O ₉ , O ₁₀	-	O ₃ , O ₄ , O ₉ , O ₁₀
3	O ₅ , O ₆ , O ₇ , O ₈ , O ₁₁ , O ₁₂	O ₉ , O ₁₀	O ₅ , O ₆
4	O ₇ , O ₈ , O ₁₁ , O ₁₂ , O ₁₃ , O ₁₄	O ₉ , O ₁₀	O ₇ , O ₈
5	O ₁₁ , O ₁₂ , O ₁₃ , O ₁₄ , O ₁₅ , O ₁₆ , O ₁₇	-	O ₁₁ , O ₁₂ , O ₁₇
6	O ₁₃ , O ₁₄ , O ₁₅ , O ₁₆	O ₁₁ , O ₁₂	-
7	O ₁₃ , O ₁₄ , O ₁₅ , O ₁₆	O ₁₁ , O ₁₂	-
8	O ₁₃ , O ₁₄ , O ₁₅ , O ₁₆ , O ₁₈	-	O ₁₃ , O ₁₄ , O ₁₈
9	O ₁₅ , O ₁₆ , O ₁₉	O ₁₃ , O ₁₄	O ₁₉
10	O ₁₅ , O ₁₆	O ₁₃ , O ₁₄	-
11	O ₁₅ , O ₁₆ , O ₂₀	-	O ₁₅ , O ₁₆ , O ₂₀
12	O ₂₁	O ₁₅ , O ₁₆	O ₂₁
13	-	O ₁₅ , O ₁₆	-
14	O ₂₂	-	O ₂₂
15	O ₂₃	-	O ₂₃

$\lambda = 15$ t.u.



SSG_{SLS}

$N_* = 2$

$N_+ = 2$

1	O_1, O_2
2	O_3, O_4, O_9, O_{10}
3	O_5, O_6
4	O_7, O_8
5	O_{11}, O_{12}, O_{17}
6	-
7	-
8	O_{13}, O_{14}, O_{18}
9	O_{19}
10	-
11	O_{15}, O_{16}, O_{20}
12	O_{21}
13	-
14	O_{22}
15	O_{23}

$\lambda = 15$ t.u.